

Sitzungsprotokoll 4

Inhaltsverzeichnis

Sitzungsprotokoll 4.....	1
1. Sitzungsinformationen	1
2. Begrüssung und Einleitung.....	2
3. Besprechung der Realisierung in VHDL.....	2
4. Planung der kompletten Integration.....	2
5. Vorbereitung Demonstration	2
6. Aufgabenverteilung / Deadlines.....	2

1. Sitzungsinformationen

Teilnehmer:

- Stefan Aebischer, Sitzungsleiter, Student der HTA-FR
- Bernhard Leutwiler, Sekretär, Student der HTA-FR
- Michael Heinzer, Techniker, Student der HTA-FR
- Michel Mäder, Coach, Dozent der HTA-FR

Datum:

21.05.2010

Ort:

Zimmer C30.20, Ingenieurschule Freiburg

Traktanden:

- Begrüssung und Einleitung
- Besprechung der Realisierung in VHDL
- Planung der kompletten Integration
- Vorbereitung Demonstration
- Aufgabenverteilung / Deadlines



2. Begrüssung und Einleitung

Stefan Aebischer begrüsst die Anwesenden. Unstimmigkeiten bei der Einladung werden behoben. Traktanden werden kurz erläutert. Präzisierung von Herr Mäder bzgl. Demonstration.

3. Besprechung der Realisierung in VHDL

Einzelpersonen erläutern ihre Arbeit.

- Herr Heinzer beginnt, hatte wenig Probleme. Einzelne Bugs vorhanden, jedoch alle behoben. Herr Mäder ist mit der Dokumentation zufrieden, möchte aber noch mehr sehen, wo der Start ist der Komponenten. Clear bei allen Modulen für sicheren Ablauf benötigt. Ansonsten ganz ok.
- Herr Aebischer hatte etwas Schwierigkeiten beim „Bisher“ Block. Vermutet Probleme beim Laden auf den Chip. Ansonsten ist Herr Mäder zufrieden mit der Dokumentation. Vorsicht beim Clear, kann nicht U sein, ist 1 oder 0.
- Herr Leutwiler hatte mit grösseren Problemen mit der Software zu kämpfen. Ansonsten funktionsweise und Dokumentation ok, Vorsicht mit den Triggern eines Prozesses.

4. Planung der kompletten Integration

Dokumentation muss eine Woche vor der Demo fertig sein. 1 Dokument über die Integration der Komponenten. Tests und Schlusswort wo/welche Probleme aufgetaucht sind.

Herr Aebischer stellt die Frage, wie man innerhalb von Xilinx verschiedene Module zusammennehmen kann. Herr Mäder verweist auf die Slides des Kurses und erklärt kurz wie es geht.

5. Vorbereitung Demonstration

Wird im Kurs behandelt. Die Demonstrationen finden am 18.06.2010 statt.

6. Aufgabenverteilung / Deadlines

Deadlines:

28.05.2010 – Persönliche Komponenten Map erstellen

04.06.2010 – Beginn der Integration, alle Komponenten müssen komplett sein

04.06.2010 – Top Modul sollte erstellt sein

11.06.2010 – Dokumentation der Integration fertig

18.06.2010 – Demonstration

Aufgabenverteilung:



Alle zusammen: Erstellung des Topmoduls

Persönlich die Map erstellen.

Jeder soll seine Module optimieren, anpassen gem. Besprechung in der Sitzung

